

PAT-NO: JP407211075A
DOCUMENT-IDENTIFIER: JP 07211075 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE
PUBN-DATE: August 11, 1995

INVENTOR-INFORMATION:

NAME
AKIYAMA, NOBORU
NAMETAKE, MASATAKE
IWAMURA, MASAHIRO
MITSUMOTO, KINYA
OKUTSU, MITSUHIKO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI ENG CO LTD	N/A

APPL-NO: JP06005803
APPL-DATE: January 24, 1994

INT-CL (IPC): G11C011/41

ABSTRACT:

PURPOSE: To suppress an integration area and the increase of a power consumption and facilitate high speed transmission by a method wherein the lengths of wiring from address edge detecting circuits to distribution circuits through an integrated pulse generating circuit are reduced.

CONSTITUTION: An integrated pulse generating circuit 7 and a first

distribution circuit 8 are provided on the middle part of a semiconductor chip

15. Two address edge detecting circuits 6 are provided near the circuit 7 taking corresponding input address buffers 4 into account. Four second distribution circuit 9 are provided near the circuit 8 and corresponding memory blocks 1. Eight third distribution circuits 10 are provided near the corresponding circuits 9 and corresponding memory mats 2. With this constitution, the length of a first bus line BL1 can be smaller than the sum of the length of a second bus line BL2 and the length of a third bus line BL3. Therefore, the capacity values of the output loads of the circuits 6 and 7 can be reduced and the speed of charge/discharge caused by the transition of the ATD pulses which are the outputs of the circuits 6 and the ATD integrated pulse which is the output of the circuit 7 can be increased and the circuit constants of the circuit 6 can be reduced and the area can be reduced.

COPYRIGHT: (C)1995, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-211075

(43) 公開日 平成7年(1995)8月11日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41

G 1 1 C 11/34

L

3 4 5

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平6-5803

(22) 出願日 平成6年(1994)1月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72) 発明者 秋山 登

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 行武 正剛

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 武 順次郎

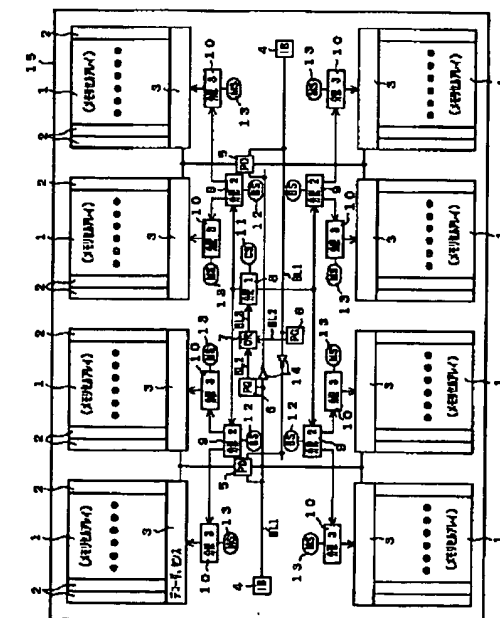
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 半導体チップの集積化面積の拡大や消費電力の増大を抑え、ATDパルス等の高速伝送を可能にした実装の半導体集積回路装置を提供する。

【構成】 複数メモリマツト2からなる複数メモリブロック1と、複数デコード及びセンス回路3と、複数入力アドレスバッファ4と、入力アドレス遷移を検出してATDパルスを発生する複数アドレスエッジ検出回路6と、ATD集合パルスを発生する集合パルス生成回路7と、ATD集合パルスをデコード及びセンス回路3に分配供給する分配回路8～10を具備し、それらを1つの半導体チップ15に集積化させた半導体集積回路装置において、半導体チップ15は、周辺部にメモリブロック1及びデコード及びセンス回路3を、中央部にアドレスエッジ検出回路6、集合パルス生成回路7、分配回路8～10を各々配置し、入力アドレスバッファ4は、シングルエンド出力型のもので構成した。



【図1】

【特許請求の範囲】

【請求項1】 少なくとも、それぞれ複数のメモリマツトによって構成される複数のメモリブロックと、各メモリブロックに結合された前記メモリブロックと同数のデコーダ及びセンス回路と、複数の入力パッドに個別に接続された前記入力パッドと同数の入力アドレスバッファと、各入力アドレスバッファから供給される入力アドレス遷移を個別に検出してアドレス遷移検出パルスを発生する前記入力アドレスバッファと同数のアドレスエッジ検出回路と、前記各アドレス遷移検出パルスを集合させてアドレス遷移検出集合パルスを発生する集合パルス生成回路と、前記アドレス遷移検出集合パルスに対応するデコーダ及びセンス回路に分配供給する分配回路とを具備し、それらを1つの半導体チップ上に集積化させた半導体集積回路装置において、前記半導体チップには、周辺部分に、前記各メモリブロックとそれらに結合されたデコーダ及びセンス回路とを規則的に配置させるとともに、中央部分に、各アドレスエッジ検出回路、前記集合パルス生成回路及び前記分配回路を配置させ、かつ、前記各入力アドレスバッファ回路は、ポジティブ信号またはネガティブ信号のいずれかを出力するシングルエンド出力型のもので構成したことを特徴とする半導体集積回路装置。

【請求項2】 前記各メモリブロックとそれらに結合されたデコーダ及びセンス回路は、前記半導体チップの周辺部分に2つの長辺に沿ってそれぞれ1列に並べて配置したことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記各アドレスエッジ検出回路、前記集合パルス生成回路及び前記分配回路は、前記半導体チップの中央部分の、前記1列に並べて配置したメモリブロックとデコーダ及びセンス回路の列間に配置したことを特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】 前記各入力アドレスバッファ回路は、前記半導体チップの周辺部分に配置され、それにより前記半導体チップ上における前記各入力アドレスバッファ回路とそれに対応するアドレスエッジ検出回路との配置距離が、各アドレスエッジ検出回路から前記集合パルス生成回路を経て前記分配回路に至る配置距離に比べて長くなるように構成したことを特徴とする請求項1乃至3のいずれかに記載の半導体集積回路装置。

【請求項5】 前記集合パルス生成回路は、論理和回路で構成したことを特徴とする請求項1乃至4のいずれかに記載の半導体集積回路装置。

【請求項6】 前記論理和回路は、バイポーラトランジスタで構成したコモンエミッタ型ワイヤードOR回路であることを特徴とする請求項5に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に係わり、特に、大容量半導体記憶装置やアドレス遷移検出回路（Address Transition Detection、いわゆるATD回路）等を1つの半導体チップ上に集積化させた半導体集積回路装置に関する。

【0002】

【従来の技術】一般に、SRAM等により代表される高速メモリにおいては、入力信号レベルの遷移を検出し、その検出に応じて制御信号を発生させる手段を設けている。また、高速SRAMにおいては、ロウ系のアドレスレベルの遷移を検出し、読み出し動作の直前（ワード線が選択される直前）にデータ線をイコライズすることによってデータ線の信号遅延を低減させ、データ読み出しを高速度で行う手段を設けることもよく知られている。ここで、イコライズとは、電位差を有する一対のデータ線の読み出し前に、その一対のデータ線を電氣的に短絡させ、それらの間の電位差をなくすことにより、データ読み出しに伴ってデータ反転に要する遅延時間を低減する技術手段のことである。この一対のデータ線をイコライズするための制御信号は、ワード線を選択するロウ系のアドレス信号の中のいずれか一つのアドレス信号の変化を検出し、その検出に基づいて作られるものである。このため、既知のこの種の装置、例えば、米国特許明細書第4、355、377号に記載の装置等においては、ロウ系のそれぞれのアドレスの遷移を検出することによって得られたアドレス遷移検出パルスを、論理回路等を用いて集合させ、その集合させたアドレス遷移検出パルスを波形整形をした後、一対のデータ線をイコライズするための制御信号に用いている。

【0003】一方、一対のデータ線をイコライズする以外にも、センスアンプの前後に接続されるデータバスをイコライズする手段や、出力バッファの出力電位をデータの出力開始前に、中間の電位に予め設定（プリセット）させるようにする手段等を用いることにより、データの読み出し時間を高速化させることは、既知の技術手段である。

【0004】このように、メモリLSIのデータの読み出し時間の高速化を実行するには、入力される全てのアドレスの中のいずれのアドレスが遷移したとき、その遷移を示す信号、即ち、アドレス遷移検出パルスを発生させる必要がある。このため、入力される全てのアドレスについて、それぞれその遷移を検出する回路、即ち、複数のアドレス遷移検出回路（ATD回路）を設け、これらATD回路から得られたアドレス遷移検出パルス（ATDパルス）を前述のイコライズやプリセットのための制御信号に用いるようにしている。この場合、ATD回路は、通常、入力されるアドレス毎に、その遷移を検出し、ATDパルスを発生させる複数のアドレスエッジ検出回路と、これらアドレスエッジ検出回路から得られる

50 ATDパルス間の論理和出力を発生させる1つの集合パ

ルス生成回路とからなっている。

【0005】かかるATD回路を実装させる場合に、ATDパルスが供給される複数のメモリマツト、センスアンプ、出力バッファ等とともに、ATD回路を1つの半導体チップ上に集積化させることは、既知であって、その一例として、電子通信学会技術報告、vol. ED90-72、pp87-91に記載の実装手段を挙げることができる。そして、この実装手段においては、半導体チップ上の一方の端の部分及び中央部分にそれぞれメモリマツトを2つずつ並んで配置させており、その他方の端の部分にセンスアンプと出力バッファを配置させている。また、半導体チップ上の2つずつ並んだメモリマツトの間には、ATD回路の2つのエッジ検出回路が2つのアドレスバッファにそれぞれ一体化させて配置するとともに、これら2つのアドレスバッファの間に、ATD回路の1つの集合パルス生成回路を配置しているものである。この場合、ATD回路、具体的には、2つのエッジ検出回路及び1つの1つの集合パルス生成回路を、アドレスバッファと一体化させて配置している、あるいはアドレスバッファの近傍に配置している技術的理由は、ATD回路をアドレスバッファから離れた箇所に配置すると、アドレスバッファからの相補出力信号を伝達するアドレスバス線の長さが長くなってしまい、半導体チップ上でアドレスバス線が占有する面積が大きくなり、その分半導体チップの集積化面積が拡大してしまうだけでなく、アドレスバス線の充放電電流が増大して半導体チップで消費される電力が増大するのを防ぐためである。

【0006】

【発明が解決しようとする課題】前記既知の実装手段においては、一応、半導体チップの集積化面積の拡大や、半導体チップで消費される電力の増大を避けることができるものの、メモリが大容量化され、しかも、メモリの規模が大きくなるにしたがって、ATD回路を構成するアドレスエッジ検出回路の数が増加し、それによりATDパルスまたはアドレス遷移検出集合パルス(ATD集合パルス)を伝達するアドレスバス線の長さが長くなり、このアドレスバス線の長さによる消費電力の増大を無視することができなくなって、ATDパルスやATD集合パルスの高速伝達が難しいという問題を有している。

【0007】特に、半導体チップがLOC(Lead On Chip)チップを構成する場合は、半導体チップ上の中央部分を出力バッファや電源パッドが占有するようになるので、アドレスバッファやアドレスエッジ検出回路は、どうしても半導体チップの長辺方向の端部に配置されるようになる。このため、ATDパルスやATD集合パルスを伝達するアドレスバス線の長さがますます長くなり、前述の問題が顕著に現れるようになる。

【0008】本発明は、前記問題点を除去するものであって、その目的は、半導体チップの集積化面積の拡大や

消費電力の増大を抑え、アドレス遷移検出パルス(ATDパルス)等の高速伝送を可能にする実装手段を用いた半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的の達成のために、本発明は、少なくとも、それぞれ複数のメモリマツトによって構成される複数のメモリブロックと、各メモリブロックに結合された前記メモリブロックと同数のデコード及びセンス回路と、複数の入力パッドに個別に接続された前記入力パッドと同数の入力アドレスバッファと、各入力アドレスバッファから供給される入力アドレス遷移を個別に検出してアドレス遷移検出パルスを発生する前記入力アドレスバッファと同数のアドレスエッジ検出回路と、前記各アドレス遷移検出パルスを集合させてアドレス遷移検出集合パルスを発生する集合パルス生成回路と、前記アドレス遷移検出集合パルスを対応するデコード及びセンス回路に分配供給する分配回路とを具備し、それらを1つの半導体チップ上に集積化させた半導体集積回路装置において、前記半導体チップには、周辺部分に、前記各メモリブロックとそれらに結合されたデコード及びセンス回路とを規則的に配置させるとともに、中央部分に、各アドレスエッジ検出回路、前記集合パルス生成回路及び前記分配回路を配置させ、かつ、前記各入力アドレスバッファ回路は、ポジティブ信号またはネガティブ信号のいずれかを出力するシングルエンド出力型のもので構成している手段を具備する。

【0010】

【作用】前記手段によれば、半導体チップには、周辺部分に、各メモリブロックとそれらに結合されたデコード及びセンス回路とを規則的に配置させ、中央部分に、各アドレスエッジ検出回路、集合パルス生成回路及び分配回路をそれぞれ配置させているので、アドレスエッジ検出回路から集合パルス生成回路を経て分配回路に至る間のアドレスバスの長さ(配線長)が短くなる。このため、アドレスエッジ検出回路や集合パルス生成回路に対する負荷容量の値が小さくなって、前記アドレスバスにおける消費電力が少なくなるとともに、アドレス遷移検出パルス(ATDパルス)やアドレス遷移検出集合パルス(ATD集合パルス)の高速伝達が可能になる。そして、アドレスエッジ検出回路の負荷容量の値が小さいため、アドレスエッジ検出回路の回路定数を小さくすることができ、その分、半導体チップの占有面積も小さくすることができる。

【0011】また、前記手段によれば、各入力アドレスバッファ回路は、ポジティブ信号またはネガティブ信号のいずれかを出力するシングルエンド出力型のもので構成しているため、各入力アドレスバッファ回路とそれらに対応するアドレスエッジ検出回路との間のアドレスバスの長さが比較的長くなったとしても、その長いアドレスバスにおける消費電力の増大を避けることができ、前

記アドレスバスの長さの増大による半導体チップの占有面積の増大を少なくすることができる。

【0012】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0013】図1は、本発明に係わる半導体集積回路装置の一実施例の概要構成を示すブロック構成図である。

【0014】図1において、1はメモリセルアレイ、2はメモリマツト、3はデコーダ及びセンス回路、4は入力アドレスバッファ(1B)、5はプリデコーダ(PD)、6はアドレスエッジ検出回路(PG)、7は集合パルス生成回路(OR)、8は第1段の分配回路(分配1)、9は第2段の分配回路(分配2)、10は第3段の分配回路(分配3)、11はチップ選択信号発生回路(CS)、12はブロック選択信号発生回路(BS)、13はマツト選択信号発生回路(MS)、14はインバータ、15は半導体チップ、BL1は第1のバスライン(アドレスバス)、BL2は第2のバスライン(アドレスバス)、BL3は第3のバスライン(アドレスバス)であり、これら各構成要素の中で、メモリセルアレイ1からインバータ14までの各構成要素は、半導体チップ15上に集積化配置されている。

【0015】そして、メモリセルアレイ1は、それぞれ複数個、例えば、16個のメモリマツト2を並設させて構成したものであり、半導体チップ15の2つの長辺に沿って一列に片側4つずつの合計8つが配置される。デコーダ及びセンス回路3は、それぞれ対応するメモリセルアレイ1に一体化された形で8つが配置されている。入力アドレスバッファ4は、半導体チップ15の2つの短辺の近傍にそれぞれ1つずつ、合計2つが配置されている。プリデコーダ5は、各入力アドレスバッファ4の出力側に1つずつ、合計2つが配置されている。アドレスエッジ検出回路6は、半導体チップ15の中央部分に近い箇所に合計2つが配置されている。集合パルス生成回路7は、同じく半導体チップ15の略中央部分に、2つのアドレスエッジ検出回路6に近接して配置されている。第1段の分配回路8は、同じく半導体チップ15の略中央部分に、集合パルス生成回路7に近接して配置されている。第2段の分配回路9は、半導体チップ15の中央部分に比較的近接した箇所に、メモリセルアレイ1の2つのメモリブロック毎にそれぞれ1つずつ、合計4つが配置されている。第3段の分配回路10は、メモリセルアレイ1の数と同数の8つが、対応するメモリセルアレイ1及び対応する第2段の分配回路9にそれぞれ近接して配置されている。チップ選択信号発生回路11は、半導体チップ15の中央部分に、第1段の分配回路8に近接して配置されている。ブロック選択信号発生回路12は、それぞれの第2段の分配回路9に近接して合計4つが配置されている。マツト選択信号発生回路13は、それぞれの第2段の分配回路9に近接して合計8つ

が配置されている。インバータ14は、2つのプリデコーダ5の配置個所の間に、合計2つが配置されている。また、入力アドレスバッファ4の出力とアドレスエッジ検出回路6の入力間は、第1のバスラインBL1で結合され、アドレスエッジ検出回路6の出力と集合パルス生成回路7の入力間は、第2のバスラインBL2で結合され、集合パルス生成回路7の出力と第1段の分配回路8の入力間は、第3のバスラインBL3で結合されている。

10 【0016】この場合に、2つのアドレスエッジ検出回路6及び1つの集合パルス生成回路7からなる回路部分は、アドレス選移検出回路(ATD回路)を構成しており、また、第1段の分配回路8、第2段の分配回路9、第3段の分配回路10、チップ選択信号発生回路11、ブロック選択信号発生回路12及びマツト選択信号発生回路13からなる回路部分は、分配回路を構成している。

【0017】なお、図1に図示の実施例においては、入力アドレスバッファ4及びアドレスエッジ検出回路6は、構成を簡単にするために2つだけを示しているが、実際には、メモリ容量や出力のビット構成に応じて多数の入力アドレスバッファ4及びアドレスエッジ検出回路6を必要とするもので、例えば、メモリ容量が64Mb×4の構成のものでは、24の入力アドレスバッファ4及びアドレスエッジ検出回路6を必要とする。

20 【0018】次に、図2は、図1に図示された各メモリセルアレイ1を構成する1つのメモリマツト2の内部構成の一例を示す概要構成図である。

【0019】図2において、16はメモリセル、17は一对のデータ線、18はサブワード線、19はメインワード線、20はカラムスイッチ、21是一对のコモンデータ線(I/O線)、22はセンスアンプ、23はライトアンプであり、その他、図1に示された構成要素と同じ構成要素については同じ符号を付けている。

【0020】そして、それぞれのメモリセルアレイ1は、16個のメモリマツト2、即ち、0から15までの16個のメモリマツト2(0)乃至2(15)を並設させた構成になっており、それぞれのメモリマツト2(0)乃至2(15)は、aからhまでの同一構成の8個のカラム救済単位アレイa乃至hを有している。それぞれのカラム救済単位アレイa乃至h、例えば、図示されたカラム救済単位アレイaは、マトリクス状に配置された多数のメモリセル16を備えており、カラム方向に並んだ各メモリセル16の両側に一对のデータ線17が配置接続され、ロウ方向に並んだ各メモリセル16の近傍にサブワード線18が配置接続されている。サブワード線18は、入力側においてグループ分けされ、そのグループ毎にメインワード線19に接続されている。一对のデータ線17の端部には、それぞれカラムスイッチ20が設けられ、これらカラムスイッチ20の出力側は、

一対のコモンデータ線21に共通接続されている。一対のコモンデータ線21には、センスアンプ22の入力が接続されるとともに、ライトアンプ23の出力が接続されている。また、他のカラム救済単位アレイb乃至hも、カラム救済単位アレイaの構成と同じ構成のもので、全体として1つのメモリマット2(0)が構成されている。さらに、他のメモリマット2(1)乃至2(15)も、メモリマット2(0)の構成と同じ構成のものである。

【0021】かかるメモリマット2(0)乃至2(15)の構成は、既に知られているところであり、しかも、それらメモリマット2(0)乃至2(15)への書込み動作及びメモリマット2(0)乃至2(15)からの読出し動作も、既に知られているものであるので、各メモリマット2(0)乃至2(15)についての動作説明は、省略する。

【0022】続いて、本実施例の半導体集積回路装置の動作について説明する。

【0023】2つの入力アドレスバッファ4は、外部から供給されるアドレス信号を受け、このアドレス信号を直接及びインバータ14で反転してプリデコーダ5に供給するとともに、第1のバスラインBL1を通して対応するアドレスエッジ検出回路6にも供給する。次いで、アドレスエッジ検出回路6は、供給されたアドレス信号のエッジの検出を行ない、その検出時にATDパルスを発生する。続いて、それぞれのアドレスエッジ検出回路6は、第2のバスラインBL2を通して集合パルス生成回路7に供給し、集合パルス生成回路7は、入力された各ATDパルスを集合させたATD集合パルスを発生する。次に、このATD集合パルスは、第3のバスラインBL3を通して第1の分配回路8に供給されるが、第1の分配回路8は、当該半導体チップ15を選択するためのチップ選択信号がチップ選択信号発生回路11から出力されているときに限って、前記ATD集合パルスを次続の4つの第2の分配回路9にそれぞれ供給し、一方、前記チップ選択信号がチップ選択信号発生回路11から出力されていないときは、前記ATD集合パルスを廃棄する。続いて、それぞれの第2の分配回路9に供給されたATD集合パルスは、その後の第3の分配回路10に供給されるが、このときも、各第2の分配回路9は、自己のメモリブロック1を選択するためのブロック選択信号がブロック選択信号発生回路12から出力されているときに限って、前記ATD集合パルスを次続の2つの第3の分配回路10に供給し、一方、前記ブロック選択信号がブロック選択信号発生回路12から出力されていないときは、前記ATD集合パルスを廃棄する。最後に、それぞれの第3の分配回路10に供給されたATD集合パルスは、デコーダ及びセンス回路3内にあるデータ線イコライズ回路(図示なし)に供給されるが、ここで、各第3の分配回路10は、自己のメモリマット2を

選択するためのマット選択信号がマット選択信号発生回路13から出力されているときに限って、前記ATD集合パルスを前記データ線イコライズ回路に供給して前記一対のコモンデータ線21のイコライズを行い、一方、前記マット選択信号がマット選択信号発生回路13から出力されていないときは、前記ATD集合パルスを廃棄する。

【0024】即ち、前記ATD集合パルスは、それぞれ、供給させるべき半導体チップ15、供給させるべきメモリブロック1、供給させるべきメモリマット2が順次選択され、選択されたメモリマット2に対応するデコーダ及びセンス回路3の一対のコモンデータ線21に供給され、その一対のコモンデータ線21のイコライズが行なわれるものである。

【0025】この場合、本実施例においては、どうしても半導体チップ15の周辺部分に配置される2つの入力アドレスバッファ4を除いて、2つのアドレスエッジ検出回路6、1つの集合パルス生成回路7、1つの第1の分配回路8、4つの第2の分配回路9、8つの第3の分配回路10等を半導体チップ15の中央部分に配置するようにしている。具体的には、1つずつの集合パルス生成回路7と第1の分配回路8は、半導体チップ15の中央部分に並べて配置し、2つのアドレスエッジ検出回路6は、集合パルス生成回路7に近接した位置で、しかも、対応する入力アドレスバッファ4を考慮した位置、例えば、図1に図示のように、集合パルス生成回路7から見て略90度の開角度を持った近接位置に配置させる。4つの第2の分配回路9は、第1の分配回路8及び対応するメモリブロック1にそれぞれ近接した位置、例えば、図1に図示のように、第1の分配回路8を中心とする長方形の略4隅付近に配置させる。8つの第3の分配回路10は、対応する第2の分配回路9及び対応するメモリマット2にそれぞれ近接した位置、例えば、図1に図示のように、対応するメモリマット2から半導体チップ15の内側の部分に配置させる。

【0026】かかる構成にすれば、各入力アドレスバッファ4の出力から対応したアドレスエッジ検出回路6の入力間に接続される第1のバスラインBL1の長さ(L1)に比べて、各アドレスエッジ検出回路6の出力から集合パルス生成回路7の入力間に接続される第2のバスラインBL2の長さ(L2)と、集合パルス生成回路7の出力から第1の分配回路8の入力間に接続される第3のバスラインBL3の長さ(L3)との和を充分短くすることができ、即ち、 $L1 > L2 + L3$ の関係を持つようにすることができ、それによって、各アドレスエッジ検出回路6及び集合パルス生成回路7の出力負荷の容量値を小さくすることができる。そして、各アドレスエッジ検出回路6及び集合パルス生成回路7の出力負荷の容量値が小さくなれば、各アドレスエッジ検出回路6から出力されるATDパルス及び集合パルス生成回路7から出力さ

れるATD集合パルスの遷移に基づく充放電を迅速に行うことができ、ATDパルスやATD集合パルスの高速伝送が可能になり、同時に、各アドレスエッジ検出回路6を構成する回路定数を小さくすることが可能になって、半導体チップ15上の各アドレスエッジ検出回路6が占める面積を少なくすることができる。さらに、各入力アドレスバッファ4は、ポジティブ信号またはネガティブ信号のいずれかを出力するシングルエンド出力型のものからなるので、各入力アドレスバッファ4とアドレスエッジ検出回路6との間の第1のバスラインBL1の長さが比較的長くなっても、長い第1のバスラインBL1における消費電力の増大を避け、第1のバスラインBL1の長さの増大による半導体チップ15の占有面積の増大を少なくできる。

【0027】次に、図3は、図1に図示の実施例に用いられるアドレスエッジ検出回路6の具体的構成の一例を示す回路構成図である。

【0028】図3において、24は第1のインバータ、25は第2のインバータ、26はインバータ列、26-1乃至26-8はインバータ列26を構成する従属接続された第3乃至第10のインバータ、27は第1の2入力NANDゲート、28は第2の2入力NANDゲート、29は第3の2入力NANDゲートであり、その他、図1に示された構成要素と同じ構成要素には同じ符号を付けている。

【0029】そして、第1のインバータ24は、入力アドレス信号を受信するように構成され、出力が第2のインバータ25の入力、インバータ列26の入力、第2の2入力NANDゲート28の第2の入力にそれぞれ接続される。第2のインバータ25の出力及びインバータ列26の出力は、第1の2入力NANDゲート27の第1及び第2の入力に接続され、第9のインバータ26-7の出力は、第2の2入力NANDゲート28の第1の入力に接続される。第1及び第2の2入力NANDゲート27、28の出力は、第3の2入力NANDゲート29の第1及び第2の入力に接続され、第3の2入力NANDゲート29の出力からATDパルスが出力される。

【0030】前記構成によるアドレスエッジ検出回路6は、次のように動作する。

【0031】入力されるアドレス信号がロウ（低）レベルからハイ（高）レベルに遷移すると、直ちに、第1の2入力NANDゲート27の第1及び第2の入力がともにハイレベルになり、その出力はロウレベルとなるので、第3の2入力NANDゲート29の出力はロウレベルからハイレベルに遷移する。そして、インバータ列26における信号伝達遅延時間を経た後で、第1の2入力NANDゲート27の第2の入力がハイレベルからロウレベルに遷移するので、第1の2入力NANDゲート27の出力はハイレベルになり、第3の2入力NANDゲート29の出力は、再びロウレベルに戻る。

【0032】一方、入力されるアドレス信号がハイレベルからロウレベルに遷移すると、始めに、第2の2入力NANDゲート28の第1及び第2の入力がともにハイレベルになるので、第2の2入力NANDゲート28の出力はロウレベルになり、第3の2入力NANDゲート29の出力は、ロウレベルからハイレベルに遷移する。そして、インバータ列26における信号伝達遅延時間を経た後で、第2の2入力NANDゲート28の第1の入力がハイレベルからロウレベルに遷移するので、第2の2入力NANDゲート28の出力はハイレベルになる。このとき、第1の2入力NANDゲート27の出力もハイレベルにあるので、第3の2入力NANDゲート29の出力は、再びロウレベルに戻る。

【0033】このようにして、入力されるアドレス信号の遷移にしたがって、インバータ列26の信号伝達遅延時間に対応したパルス幅をもったATDパルス信号が形成される。

【0034】続いて、図4は、図1に図示の実施例に用いられる集合パルス生成回路7の具体的構成の一例を示す回路構成図である。

【0035】図4において、30-1は第1のバイポーラトランジスタ、30-2は第2のバイポーラトランジスタ、30-nは第n（nは3以上の任意の整数）のバイポーラトランジスタ、31は定電流源用FET、32-1は第1の入力端子、32-2は第2の入力端子、32-nは第nの入力端子、33は出力端子、34-1は第1の電源端子、34-2は第2の電源端子、35は定電圧供給端子である。

【0036】そして、第1のバイポーラトランジスタ30-1、第2のバイポーラトランジスタ30-2、第nのバイポーラトランジスタ30-nは、いずれもコレクタが共通に第1の電源端子34-1に接続され、エミッタが共通に出力端子33に接続され、ベースが各別に第1の入力端子32-1、第2の入力端子32-2、第nの入力端子32-nに接続される。定電流源用FET31は、ドレインが出力端子33に、ソースが第2の電源端子34-2に、ゲートが定電圧供給端子35にそれぞれ接続され、全体として、ワイヤードOR回路を構成している。

【0037】前記構成による集合パルス生成回路7は、第1の入力端子32-1、第2の入力端子32-2、第nの入力端子32-nのそれぞれに、異なるアドレスエッジ検出回路6からのATDパルスが個別に供給され、それらATDパルスの入力に対応して、出力端子33から前記各ATDパルスを集合させたATD集合パルスが出力される。

【0038】次いで、図5は、図1に図示の実施例に用いられる第1の分配回路8の構成の一例を示す回路構成図である。

【0039】図5において、36は2入力NANDゲート

ト、37は第1のインバータ、38は第2のインバータ、39は第3のインバータ、40-1は第1の入力端子、40-2は第2の入力端子、41-1は第1の出力端子、41-2は第2の出力端子であり、その他、図1に示された構成要素と同じ構成要素には同じ符号を付けている。

【0040】そして、2入力NANDゲート36は、第1の入力が第1の入力端子40-1を通してチップ選択信号発生回路11に、第2の入力が第2の入力端子40-2を通して集合パルス生成回路7に、出力が第1のインバータ37の入力にそれぞれ接続される。第1のインバータ37の出力は、第2及び第3のインバータ38、39の各入力に接続され、第2及び第3のインバータ38、39の出力は、第1及び第2の出力端子41-1、41-2にそれぞれ接続される。

【0041】前記構成による第1の分配回路8は、チップ選択信号発生回路11からのチップ選択信号が供給されているとき、即ち、チップ選択信号がハイレベルにあるときに限って、集合パルス生成回路7から供給されたATD集合パルスを第1及び第2の出力端子41-1、41-2に伝送送出させるように働く。

【0042】次に、図6は、図1に図示の実施例に用いられる第2の分配回路9の構成の一例を示す回路構成図である。

【0043】図6において、42は第1の2入力NORゲート、43は第2の2入力NORゲート、44は第1のインバータ、45は第2のインバータ、46-1は第1の入力端子、46-2は第2の入力端子、46-3は第3の入力端子、47-1は第1の出力端子、47-2は第2の出力端子であり、その他、図1に示された構成要素と同じ構成要素には同じ符号を付けている。

【0044】そして、第1の2入力NORゲート42は、第1の入力が第1の入力端子46-1を通してブロック選択信号発生回路12に、第2の入力が第2の入力端子46-2を通して第1の分配回路8に、出力が第1のインバータ44の入力にそれぞれ接続される。第2の2入力NORゲート43は、第1の入力が第2の入力端子46-2を通して第1の分配回路8に、第2の入力が第3の入力端子46-3を通して他のブロック選択信号発生回路12に、出力が第2のインバータ45の入力にそれぞれ接続される。第1のインバータ44の出力は、第1の出力端子47-1に、第2のインバータ45の出力は、第2の出力端子47-2にそれぞれ接続される。

【0045】前記構成による第2の分配回路9は、いずれかのブロック選択信号発生回路12からのブロック選択信号が供給されているとき、即ち、メモリブロック1を選択するためのブロック選択信号がハイレベルにあるときに限って、第1の分配回路8から供給されたATD集合パルスを第1の出力端子47-1もしくは第2の出力端子47-2に伝送送出させるように働く。

【0046】続く、図7は、図1に図示の実施例に用いられる第3の分配回路10の構成の一例を示す回路構成図である。

【0047】図7において、48-1は第1の2入力NORゲート、48-2は第2の2入力NORゲート、48-nは第n(nは3以上の任意の整数)の2入力NORゲート、49-1は第1のインバータ、49-2は第2のインバータ、49-nは第nのインバータ、50-1は第1の入力端子、50-2は第2の入力端子、50-3は第3の入力端子、50-nは第nの入力端子、50-cは共通の入力端子、51-1は第1の出力端子、51-2は第2の出力端子、51-nは第nの出力端子であり、その他、図1に示された構成要素と同じ構成要素には同じ符号を付けている。

【0048】そして、第1の2入力NORゲート48-1は、第1の入力が共通の入力端子50-cを通して第2の分配回路9に、第2の入力が第1の入力端子50-1を通してマット選択信号発生回路13に、出力が第1のインバータ49-1の入力にそれぞれ接続される。第2の2入力NORゲート48-2は、第1の入力が共通の入力端子50-cを通して第2の分配回路9に、第2の入力が第2の入力端子50-2を通して他のマット選択信号発生回路13に、出力が第2のインバータ49-2の入力にそれぞれ接続される。第nの2入力NORゲート48-nは、第1の入力が共通の入力端子50-cを通して第2の分配回路9に、第2の入力が第nの入力端子50-nを通してさらに別のマット選択信号発生回路13に、出力が第nのインバータ49-nの入力にそれぞれ接続される。第1のインバータ49-1の出力は、第1の出力端子51-1に、第2のインバータ49-2の出力は、第2の出力端子51-2に、第nのインバータ49-nの出力は、第nの出力端子51-nにそれぞれ接続される。

【0049】前記構成による第3の分配回路10は、いずれかのマット選択信号発生回路13からのマット選択信号が供給されているとき、即ち、メモリマット2を選択するためのマット選択信号がハイレベルにあるときに限って、第2の分配回路9から供給されたATD集合パルスを、前記マット選択信号が供給されているいずれかの2入力NORゲート48-1乃至48-n及びそれに接続されているいずれかのインバータ49-1乃至49-nを通していずれかの出力端子51-1乃至51-nに伝送送出させ、選択されたメモリマット2の一对のコモンデータ線21をイコライズするものである。

【0050】なお、以上述べたところのアドレスエッジ検出回路6、集合パルス生成回路7、第1の分配回路8、第2の分配回路9、第3の分配回路10の構成は、本発明の半導体集積回路装置に用いるのに好適な構成の一例を示すものであって、本発明の半導体集積回路装置に用いるアドレスエッジ検出回路6、集合パルス生成回

路7、第1の分配回路8、第2の分配回路9、第3の分配回路10の各構成がそれらのものに限定されるものではなく、その基本的な部分を除いて適宜変更できることはいうまでもない。

【0051】

【発明の効果】以上のように、本発明によれば、半導体チップ15は、周辺部分に、各メモリブロック1とそれらに結合されたデコーダ及びセンス回路3とを規則的に配置させ、中央部分に、各アドレスエッジ検出回路6、集合パルス生成回路7及び第1の分配回路8をそれぞれ配置させているので、アドレスエッジ検出回路6から集合パルス生成回路7を経て第1の分配回路8に至る間のアドレスバス（バスラインBL2、BL3）の長さ（配線長）が短くなる。このため、アドレスエッジ検出回路6や集合パルス生成回路7に対する負荷容量の値が小さくなって、アドレスバス（BL2、BL3）における消費電力が少なくなるとともに、アドレス遷移検出パルス（ATDパルス）やアドレス遷移検出集合パルス（ATD集合パルス）の高速伝送が可能になるという効果がある。そして、アドレスエッジ検出回路6の負荷容量の値が小さいため、アドレスエッジ検出回路6の回路定数を小さくすることができ、その分、半導体チップ15の占有面積も小さくすることができるという効果もある。

【0052】また、本発明によれば、各入力アドレスバッファ4は、ポジティブ信号またはネガティブ信号のいずれかを出力するシングルエンド出力型のもので構成している。このため、各入力アドレスバッファ4とそれらに対応するアドレスエッジ検出回路6との間のアドレスバス（バスラインBL1）の長さが比較的長くなって、その長いアドレスバス（BL1）における消費電力の増大を避けることができ、アドレスバス（BL1）の長さの増大による半導体チップ15の占有面積の増大を少なくできるという効果もある。

【図面の簡単な説明】

【図1】本発明に係わる半導体集積回路装置の一実施例の概要構成を示すブロック構成図である。

【図2】図1に図示された各メモリセルアレイ1を構成する1つのメモリマット2の内部構成の一例を示す概要構成図である。

【図3】図1に図示の実施例に用いられるアドレスエッジ検出回路6の具体的構成の一例を示す回路構成図である。

【図4】図1に図示の実施例に用いられる集合パルス生成回路7の具体的構成の一例を示す回路構成図である。

【図5】図1に図示の実施例に用いられる第1の分配回路8の構成の一例を示す回路構成図である。

【図6】図1に図示の実施例に用いられる第2の分配回路9の構成の一例を示す回路構成図である。

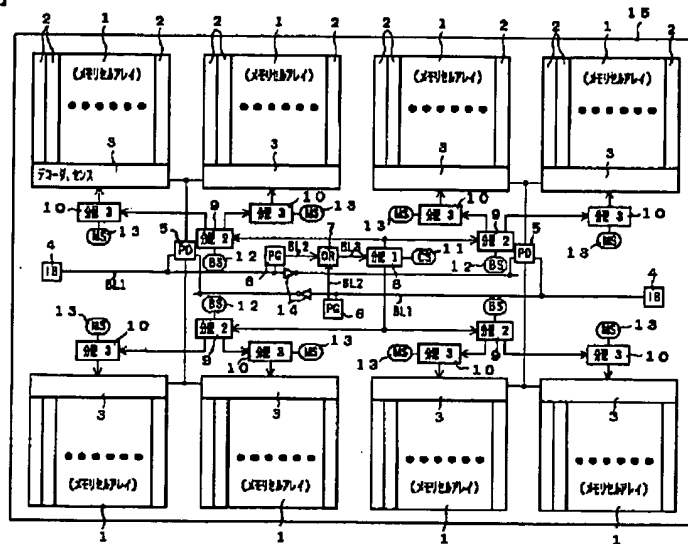
【図7】図1に図示の実施例に用いられる第3の分配回路10の構成の一例を示す回路構成図である。

【符号の説明】

- 1 メモリセルアレイ
- 2 メモリマット
- 3 デコーダ及びセンス回路
- 4 入力アドレスバッファ（IB）
- 5 プリデコーダ（PD）
- 6 アドレスエッジ検出回路（PG）
- 7 集合パルス生成回路（OR）
- 8 第1段の分配回路（分配1）
- 9 第2段の分配回路（分配2）
- 10 第3段の分配回路（分配3）
- 11 チップ選択信号発生回路（CS）
- 12 ブロック選択信号発生回路（BS）
- 13 マット選択信号発生回路（MS）
- 14、24、25、26-1乃至26-8、37、38、39、44、45、49-1、49-2、49-n インバータ
- 15 半導体チップ
- 16 メモリセル
- 17 一对のデータ線
- 18 サブワード線
- 19 メインワード線
- 20 カラムスイッチ
- 21 一对のコモンデータ線（I/O線）
- 22 センスアンプ
- 23 ライトアンプ
- 26 インバータ列
- 27、28、29、36 2入力NANDゲート
- 30-1、30-2、30-n バイポーラトランジスタ
- 31 定電流源用FET
- 32-1、32-2、32-n、40-1、40-2、46-1乃至46-3、50-1、50-2、50-3、50-c、50-n 入力端子
- 33、41-1、41-2、47-1、47-2、51-151-2、51-n 出力端子
- 34-1、34-2 電源端子
- 35 定電圧供給端子
- 42、43、48-1、48-2、48-n 2入力NORゲート
- BL1乃至BL3 バスライン

【図1】

【図1】

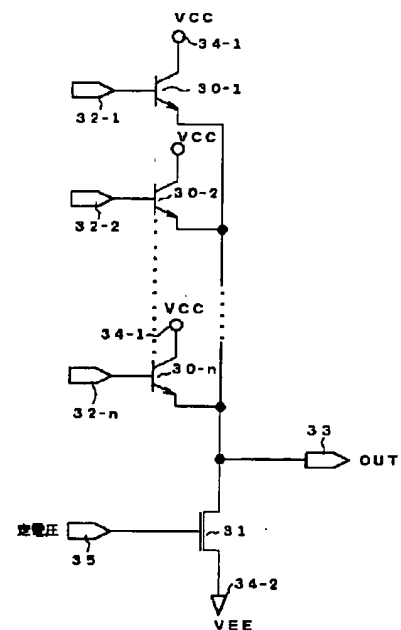
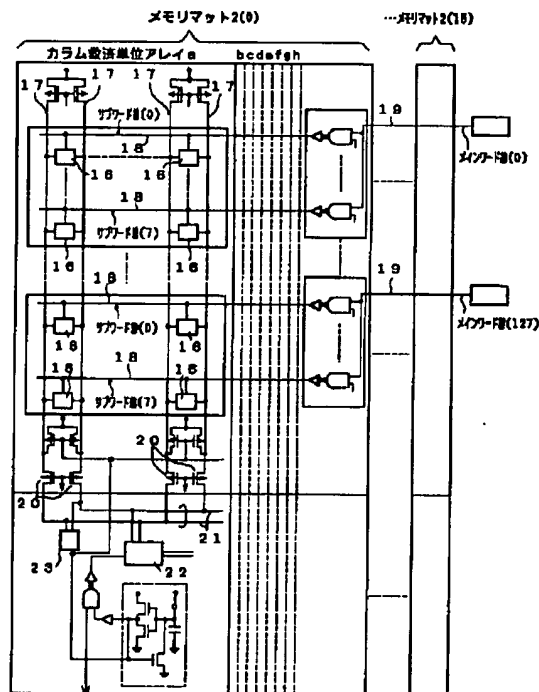


【図2】

【図4】

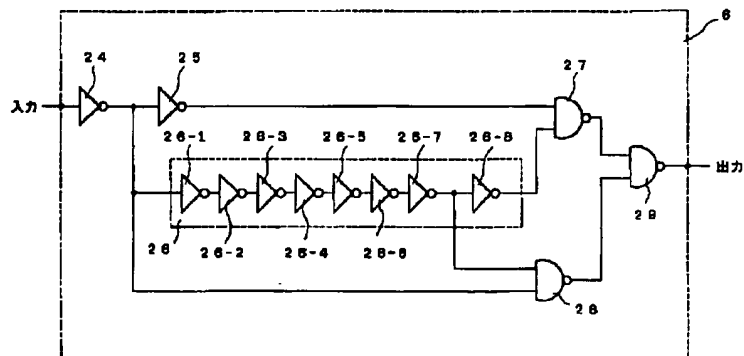
【図2】

【図4】



【図3】

【図3】

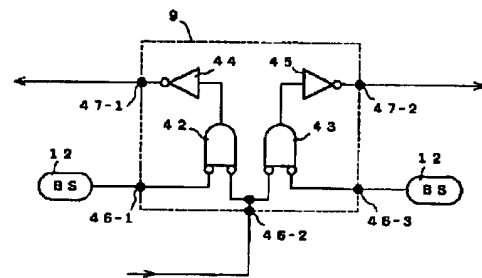
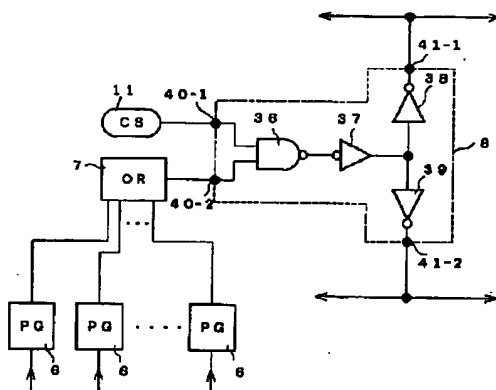


【図5】

【図6】

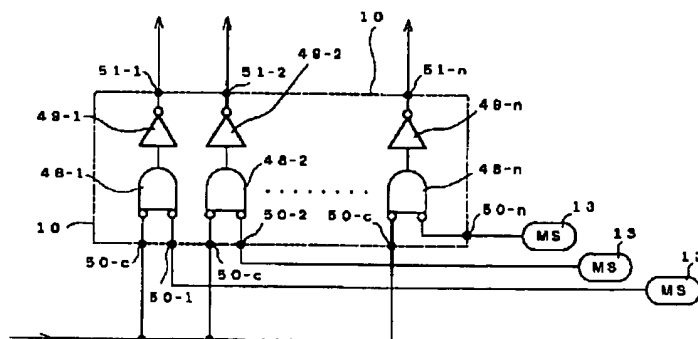
【図5】

【図6】



【図7】

【図7】



フロントページの続き

(72)発明者 岩村 将弘
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 光本 欽哉
群馬県高崎市西横手町111番地 株式会社
日立製作所半導体事業部高崎地区内
(72)発明者 奥津 光彦
茨城県日立市幸町3丁目2番1号 日立エ
ンジニアリング株式会社内